

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Kiwamu SAKANO Serial No.: Currently unknown Filing Date: Concurrently herewith For: DUPLEXER AND COMMUNICATION APPARATUS	
---	--

TRANSMITTAL OF PRIORITY DOCUMENTS

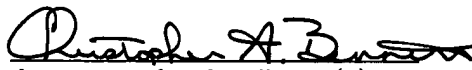
Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2002-365968** filed **December 18, 2002**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: December 2, 2003


Attorneys for Applicant(s)
Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月18日

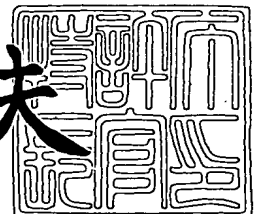
出願番号
Application Number: 特願2002-365968
[ST. 10/C]: [JP2002-365968]

出願人
Applicant(s): 株式会社村田製作所

2003年 9月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3078228

【書類名】 特許願

【整理番号】 32-1223

【提出日】 平成14年12月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01P 1/213
H01P 1/212
H03H 9/72

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田
製作所内

【氏名】 坂野 究

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014717

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 分波器、および通信機

【特許請求の範囲】

【請求項 1】

アンテナ端子に並列に接続された送信側フィルタおよび受信側フィルタと、
アンテナ端子、並びに、送信側フィルタおよび受信側フィルタの少なくとも一方の間に位置する整合回路とを有し、

前記整合回路の一部は、高調波抑圧用のトラップ回路を兼ねていることを特徴とする、分波器。

【請求項 2】

前記トラップ回路は、抑圧する高調波に応じた少なくとも 1 つのオープンスタブを備えていることを特徴とする、請求項 1 に記載の分波器。

【請求項 3】

前記整合回路は、上記アンテナ端子とアースとの間に接続された並列インダクタンス素子を備えていることを特徴とする、請求項 2 に記載の分波器。

【請求項 4】

前記オープンスタブは、送信側フィルタおよび受信側フィルタの通過帯域内にて、容量性であり、かつ前記並列インダクタンス素子との合成リアクタンスが容量性であることを特徴とする、請求項 3 に記載の分波器。

【請求項 5】

前記並列インダクタンス素子が 20 以上の Q 値を有することを特徴とする、請求項 3 または 4 に記載の分波器。

【請求項 6】

前記整合回路が、アンテナ端子に接続された第 1 の並列容量と、直列インダクタと、第 2 の並列容量とを備え、

該第 1 の並列容量が前記トラップ回路を含むことを特徴とする、請求項 1 ないし 4 の何れか 1 項に記載の分波器。

【請求項 7】

前記送信側フィルタおよび受信側フィルタの双方、もしくはそれぞれを搭載す

るパッケージが設けられ、

該パッケージ及び整合回路の一部を実装する多層基板が設けられていることを特徴とする、請求項 1 ないし 6 の何れか 1 項に記載の分波器。

【請求項 8】

前記トラップ回路が多層基板に内蔵されていることを特徴とする、請求項 7 に記載の分波器。

【請求項 9】

前記整合回路の並列インダクタンス素子がチップコイルであることを特徴とする、請求項 7 または 8 に記載の分波器。

【請求項 10】

前記整合回路の並列インダクタンス素子がショートスタブであり、多層基板に内蔵されていることを特徴とする、請求項 7 または 8 に記載の分波器。

【請求項 11】

前記送信側フィルタおよび受信側フィルタの双方を搭載するパッケージが設けられ、

該パッケージに整合回路が内蔵されていることを特徴とする、請求項 1 ないし 6 の何れか 1 項に記載の分波器。

【請求項 12】

前記整合回路の並列インダクタンス素子が、らせん状パターンのマイクロストリップ線路で形成されていることを特徴とする、請求項 10 または 11 に記載の分波器。

【請求項 13】

前記送信側フィルタおよび受信側フィルタは、それぞれ、弾性表面波フィルタであることを特徴とする、請求項 1 ないし 12 の何れか 1 項に記載の分波器。

【請求項 14】

前記送信側フィルタが、アンテナ側に直列共振子が配置されているラダー型フィルタであることを特徴とする、請求項 1 ないし 13 の何れか 1 項に記載の分波器。

【請求項 15】

請求項 1 ないし 14 の何れか 1 項に記載の分波器を有していることを特徴とする、通信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、弾性表面波フィルタを用いた分波器（デュプレクサ）、特に、部品点数の増加や、製品サイズの増加を抑制しながら、高調波の抑圧と耐サージ性との向上を実現できる分波器、およびそれを用いた通信機に関するものである。

【0002】

【従来の技術】

近年、移動体通信機の一つである携帯電話は、汎用されるにつれ、さらなる薄型化や小型化と共に動作の安定化（例えば、経時的な故障率の低減）が求められてきている。

【0003】

このような携帯電話では、アンテナを送信側と受信側とで共用して小型化を図るために、送信用高周波信号と、上記送信用高周波数信号と中心周波数が相違する受信用高周波信号とを分けるための分波器（デュプレクサ、以下、DPXと記す）が設けられている。よって、上記DPXは、アンテナに接続された送信フィルタと受信フィルタとをそれぞれ有している。

【0004】

上記DPXにおいては、図11に示すように、送信側（Tx）と受信側（Rx）との間の相互干渉を抑制するため、例えば、アンテナ（ANT.）とRxフィルタ52との間に整合回路として、並列容量59－直列インダクタ58－並列容量57の3セクションで構成されるローパスフィルタが設けられている（特許文献1参照）。

【0005】

上記DPXでは、上記整合回路により、アンテナ側からみたRxフィルタ52側の相手周波数（つまりTxフィルタ51の通過帯域周波数）におけるインピーダンスを無限大にし、かつ、合成時の相手側通過帯域インピーダンスの変化を最

小限にできて、相互干渉を抑制できる。

【0006】

一方、DPXに対しては、高調波（特に2倍波と3倍波）抑圧に関する要求がある。すなわち、携帯電話の一回路ブロック図である図12に示すように、携帯電話では、通常、DPX50のTxフィルタ51の入力側にはパワーアンプ（PA）61が配置されており、PA61の特性上、通信信号の高調波が発生するので、アンテナから高調波も発信されて、上記高調波がノイズになるという不都合を生じている。そこで、従来は、上記不都合を回避するために、Txフィルタ51の入力端子とPA61との間の位置63にアイソレーターを配置していた。

【0007】

さらに、上記携帯電話のフィルタとして、通過帯域が高くなるに伴い、小型化が可能な弾性表面波フィルタ（以下、SAWフィルタと記す）の使用が検討されてきた。上記SAWフィルタは、圧電基板上に、複数の電極指を交叉させて有するくし型電極部（すだれ状電極、又はインターディジタルトランスデューサといい、以下、IDTと記す）を、複数、弾性表面波の伝搬方向に沿って有し、さらに好ましくは上記各IDTにおける上記伝搬方向に沿った両側（左右）にそれぞれ反射器（リフレクタ）を備えているものである。

【0008】

しかしながら、SAWフィルタを用いたDPXにおいても、SAWフィルタの構造上から、通過帯域の周波数に対する高調波（2倍波、3倍波、・・・、n倍波）が通過させるため、PA61から入力された高調波も通過させてしまい、ノイズ発生につながる恐れがある。

【0009】

また、SAWフィルタの電極間ピッチはサブミクロンから2 μ mと狭いために耐サージ性が低いという問題点がある。携帯電話使用時に静電気がアンテナから侵入すると、SAWフィルタが破壊されるという問題点があり、ESD（静電気放電）対策が求められている。

【0010】

【特許文献1】

特開平 6-350307 号公報（公開日：1994 年 12 月 22 日）

【0011】

【特許文献 2】

特開平 7-226607 号公報（公開日：1995 年 8 月 22 日）

【0012】

【特許文献 3】

特開 2001-127663 号公報（公開日：2001 年 5 月 11 日）

【0013】

【特許文献 4】

特開 2001-352271 号公報（公開日：2001 年 12 月 21 日）

【0014】

【発明が解決しようとする課題】

しかしながら、特許文献 1 に記載の DPX に対して、小型化を図るため、Tx フィルタ 51 および Rx フィルタ 52 にそれぞれ SAW フィルタを用いた場合、PA61 から SAW フィルタである Tx フィルタ 51 に入力される高調波を抑圧するために、Tx フィルタ 51 と PA61 との間にアイソレーターを別に設置したり、SAW フィルタからの高調波を抑圧するのに、アンテナと Tx フィルタ 51 との間にアイソレーターを別に設置したりする必要がある。さらに、用いた各 SAW フィルタの耐サージ性を向上させる保護回路を別に設けると、アイソレーターや保護回路といった部品数が多くなって、大型化を招来するという課題を生じている。

【0015】

【課題を解決するための手段】

本発明の DPX は、以上の課題を解決するために、アンテナ端子に並列に接続された送信側（Tx）フィルタおよび受信側（Rx）フィルタと、アンテナ端子、並びに、送信側フィルタおよび受信側フィルタの少なくとも一方の間に位置する整合回路とを有し、前記整合回路の一部は、高調波抑圧用のトラップ回路を兼ねていることを特徴としている。

【0016】

上記構成によれば、整合回路を有しているので、アンテナを送信側と受信側とで共有しても送信側フィルタおよび受信側フィルタの間での相互干渉を抑制できて、上記構成を有する通信機において、アンテナの共有による小型化を図りながら送受信を安定化できる。

【0017】

また、上記構成では、整合回路の一部に、高調波抑圧用のトラップ回路を兼ねさせて設けたから、高調波抑圧が可能となり、かつ、従来のように、別に設ける必要があったアイソレーターを省くことができる。

【0018】

上記DPXでは、前記トラップ回路は、抑圧する高調波に応じた少なくとも1つのオープンスタブを備えていることが好ましい。上記構成によれば、オープンスタブは、例えば多層基板内に形成できて、大型化を回避できる。

【0019】

上記DPXにおいては、前記整合回路は、アンテナ端子とアースとの間に接続された並列インダクタンス素子を備えていることが望ましい。上記構成によれば、並列インダクタンス素子により、整合回路の容量を調整できて、整合回路において所望する特性を発揮できる。その上、上記構成においては、静電気放電のような大電圧なサージ電流がアンテナに印加されても、上記サージ電流を並列インダクタンス素子によりアースに逃がすので、受信側フィルタを上記サージ電流から守ることができて、耐サージ性を向上できる。

【0020】

上記DPXでは、前記オープンスタブは、送信側フィルタおよび受信側フィルタの通過帯域内にて、容量性であり、かつ前記並列インダクタンス素子との合成リアクタンスが容量性であることが好ましい。上記構成によれば、容量性であることにより、整合回路の特性の調整が容易になる。

【0021】

上記DPXにおいては、前記並列インダクタンス素子が20以上のQ値を有することが望ましい。上記構成によれば、20以上のQ値によって、上記構成の特性（例えば、挿入損失）を改善できる。

【 0 0 2 2 】

上記 D P X では、前記整合回路が、アンテナ端子に接続された第 1 の並列容量と、直列インダクタと、第 2 の並列容量とを備え、該第 1 の並列容量が前記トラップ回路を含むことが好ましい。

【 0 0 2 3 】

上記 D P X においては、前記送信側フィルタおよび受信側フィルタの双方、もしくはそれぞれを搭載するパッケージが設けられ、該パッケージ及び整合回路の一部を実装する多層基板が設けられていてもよい。上記構成によれば、整合回路の一部を実装したので、整合回路の調整が容易であり、高 Q 値のインダクタンスを整合回路に用いることができ、特性上有利にできる。

【 0 0 2 4 】

上記 D P X では、前記トラップ回路が多層基板に内蔵されていてもよい。上記構成によれば、トラップ回路を多層基板に内蔵したから、大型化を回避できる。

【 0 0 2 5 】

上記 D P X においては、前記整合回路の並列インダクタンス素子がチップコイルであってもよい。上記構成によれば、整合回路の並列インダクタンス素子をチップコイルとしたので、高 Q 値のインダクタンスを整合回路に用いることができ、特性上有利にできる。

【 0 0 2 6 】

上記 D P X では、前記整合回路の並列インダクタンス素子がショートスタブであり、多層基板に内蔵されていてもよい。上記構成によれば、ショートスタブを多層基板に内蔵したから、大型化を回避できる。

【 0 0 2 7 】

上記 D P X においては、前記送信側フィルタおよび受信側フィルタの双方を搭載するパッケージが設けられ、該パッケージに整合回路が内蔵されていてもよい。上記構成によれば、パッケージに整合回路を内蔵したから、大型化を回避できる。

【 0 0 2 8 】

上記 D P X では、前記整合回路の並列インダクタンス素子が、らせん状パター

ンのマイクロストリップ線路で形成されていてもよい。上記DPXにおいては、前記送信側フィルタが、前記送信側フィルタおよび受信側フィルタは、それぞれ、弾性表面波フィルタであってもよい。上記DPXでは、アンテナ側に直列共振子が配置されているラダー型フィルタであってもよい。上記構成によれば、送信側フィルタおよび受信側フィルタをそれぞれ弾性表面波フィルタとしたから、耐サージ性の改善効果をより一層発揮できる。

【0029】

本発明の通信機は、上記の何れかに記載のDPXを有していることを特徴としている。

【0030】

【発明の実施の形態】

本発明の実施の各形態について図1ないし図10に基づいて説明すれば、以下の通りである。

【0031】

(実施の第一形態)

図1(a)は本発明に係る実施の第一形態に関するDPXの回路構成を示し、図1(b)は上記DPXに用いたオープスタブの平面図を示している。また、図2は本実施の第一形態に係るDPXの組み立て図および外観の斜視図を示している。

【0032】

図1(a)に示すように、上記DPXでは、Txでも示されている送信信号が入力される入力端子4と、Rxでも示されている受信信号が出力される出力端子5と、ANTで示されている送信信号と受信信号が入出力される入出力共用端子であるアンテナ端子3が設けられている。

【0033】

送信信号、受信信号用の各バンドパスフィルタ(BPF)として、入力側と出力側とに直列共振子がそれぞれ配置されているT型ラダー型のSAWフィルタが、TxSAW1、およびRxSAW2としてそれぞれ使用されている。

【0034】

T x SAW1は、アンテナ端子3と入力端子4との間に接続されている。R x SAW2は、アンテナ端子3と出力端子5との間に接続されている。これらT x SAW1、およびR x SAW2は、図2 (a) および図2 (b) に示すように、1つのパッケージ18に搭載されて納められている。

【0035】

さらに、上記DPXには、図1 (a) に示すように、アンテナ端子3とT x SAW1との間に接続されたコンデンサ6と、アンテナ端子3とR x SAW2との間に接続された並列の第一容量14と、直列のインダクタ8と、並列の第二容量7とからなる整合回路15が接続されている。

【0036】

第一容量14は、アンテナ端子3とアースとの間に接続されている。インダクタ8は、アンテナ端子3とR x SAW2との間に接続されている。第二容量7は、R x SAW2とアースとの間に接続されている。

【0037】

上記コンデンサ6と、第一容量14と、インダクタ8と、第二容量7とにより、インピーダンス整合用の整合回路15が形成されている。整合回路15は、ANTの終端条件にインピーダンスを整合させる回路である。すなわち、このインピーダンスの整合回路15は、R x SAW2の通過帯域周波数にて、T x SAW1のインピーダンスができるだけオープン特性になるように、かつ、R x SAW2のインピーダンスがANT終端条件とできるだけ同じになるように整合するためのものである。

【0038】

同時に、整合回路15は、T x SAW1の通過帯域周波数にて、R x SAW2のインピーダンスができるだけオープン特性になるように、かつ、T x SAW1のインピーダンスがANT終端条件とできるだけ同じになるように整合するためのものである。

【0039】

上記DPXのTxフィルタであるT x SAW1はRx通過帯域に減衰極を集めた特性にする必要がある。一方、RxフィルタとしてのR x SAW2はTx通過

帯域に減衰極を集めた特性にする必要がある。そこで、高周波側にできる減衰極は全て R_x 通過帯域減衰のために使用するよう設計されている。

【0040】

したがって、上記 DPX の $T_x SAW1$ および $R_x SAW2$ は、高調波抑圧用の減衰極について考慮できないものとなっている。高調波抑圧の方法としては、トラップ回路を付加することが一般的であるが、小型化を考えるとトラップ回路を単純に付加することはできない。

【0041】

そこで、本実施の第一形態では、上記第一容量 14 は、 T_x 帯域の 2 倍波と 3 倍波の高調波が発生する周波数で減衰極を得るための各オープンスタブ（トラップ回路）9、10 をマイクロストリップ線路で形成して有している。上記オープンスタブ 9、10 により、それぞれ T_x 帯域の 2 倍波と 3 倍波の高調波を抑圧できる。

【0042】

なお、2 つのオープンスタブ 9、10 は、それぞれ 2 倍波を抑圧するためのものと、3 倍波を抑圧するためのものであるため、長さが互いに異ならされており、それぞれ、2 倍波、3 倍波でのおよそ $1/4\lambda$ とされている。

【0043】

オープンスタブは共振点よりも低周波数領域では容量性を、高周波数領域では誘導性を持つという特徴がある。上記の様に、高調波を抑圧するためのオープンスタブは通過帯域周波数では容量性であることになる。

【0044】

スタブとは、スタブ共振器とも呼ばれ、分布定数線路を、 $\lambda/4$ の偶数倍の長さで短絡（ショートスタブ）、もしくは $\lambda/4$ の奇数倍の長さで開放（オープンスタブ）としたインピーダンス零の直列共振器、または $\lambda/4$ の奇数倍の長さで短絡もしくは $\lambda/4$ の偶数倍の長さで開放としたインピーダンス ∞ の並列共振器である。上記 λ は、所望する減衰極の周波数の波長である。

【0045】

これらオープンスタブ 9、10 を、図 1（b）に示すように内蔵する、多層基

板 12 が設けられている。また、オープンスタブ 9、10 は、それらを形成する各マイクロストリップ線路を多層基板 12 内の層に内蔵して形成されているから、上記オープンスタブ 9、10 を設けても、多層基板 12 の厚さが $50\ \mu\text{m}$ 程度厚くなるだけで、上記多層基板 12 の面方向の断面積（つまり占有面積）を、設ける前と同様に維持して、大型化を回避できる。

【0046】

上記 DPX においては、各オープンスタブ 9、10 は通過帯域内で並列キャパシタンス素子として働き、かつ Tx 帯域の 2 倍波および 3 倍波の高調波をそれぞれ抑圧する長さに調節されるので容量値が固定されている。

【0047】

そこで、上記 DPX では、第一容量 14 において所望の容量を得るために、容量調整用として並列インダクタンス素子 11 が、アンテナ端子 3 とアースとの間に接続されて設けられている。

【0048】

また、上記多層基板 12 上には、2 つの積層コンデンサである、コンデンサ 6 および第二容量 7 と、2 つの巻線タイプチップコイルである各インダクタ 8、11 と、前記パッケージ 18 とが表面実装されている。特に、並列インダクタンス素子 11 は Q が 20 以上の巻線タイプチップコイルが好ましい。各チップ部品は、多層基板 12 の部品実装面に予め形成した信号線路で互いに接続されている。各部品を多層基板 12 の表面に実装したのち、金属カバー 20 を実装部品が覆われるように多層基板 12 に対して実装して、本実施の第一形態の DPX が完成される。

【0049】

上記 DPX では、SAW フィルタである、Tx SAW 1 および Rx SAW 2 を用いることにより小型化を図ることができ、また、整合回路 15 を、並列の第一容量 14 と、直列のインダクタ 8 と、並列の第二容量 7 の構成とし、並列の第一容量 14 を、各オープンスタブ（トラップ回路）9、10 と並列インダクタンス素子 11 とで形成することで、高調波の抑圧と静電気放電（ESD）対策をも同時に実現できる。

【0050】

(実施の第二形態)

本発明に係る実施の第二形態のDPXを図3および図4に基づいて説明すれば以下の通りである。なお、本実施の第二形態では、上記実施の第一形態と同様な機能を有する部材については同一の部材番号を付与してそれらの説明を省いた。

【0051】

上記DPXでは、並列インダクタンス素子11を、実施の第一形態にて用いた巻線タイプチップコイルに代えて、図3(a)に示すように、マイクロストリップ線路による並列インダクタンス素子16が設けられている。

【0052】

アースと短絡しているマイクロストリップ線路である並列インダクタンス素子16は、ショートスタブとか、1/2波長線路、短絡スタブとも呼ばれ、本来はある特性の周波数を減衰させる働きを備えているが、本実施の第二形態ではインダクタンス素子としてのみ使用されている。

【0053】

一般に、ショートスタブは、反共振点よりも小さい周波数では誘導性、反共振点から共振点の領域の周波数では容量性、共振点よりも大きい周波数では誘導性を有している。本実施の第二形態では、RXSAW2の通過帯域内で誘導性を有するようにショートスタブである並列インダクタンス素子16の長さが決定されていることが好ましい。

【0054】

この並列インダクタンス素子16のマイクロストリップ線路は、図3(b)に示すように、多層基板12の積層構造内に、例えば各オープンスタブ9、10が形成されている層と同層上に内蔵されている。

【0055】

また、並列インダクタンス素子16のマイクロストリップ線路のパターンは、ミアンダ状でもよいし、らせん状でもよいが、小型化を図れることから、らせん状パターンが好ましい。上記パターンの一方は、多層基板12にその厚さ方向に設けられたスルーホール(図示せず)によって多層基板12の裏面のアースパタ

ーンに接続されている。また、並列インダクタンス素子 16 のマイクロストリップ線路は、その共振点が通過帯域よりも高周波側となるように設定されており、よって、通過帯域ではインダクタンス成分を有している。

【0056】

本実施の第二形態では、実装部品点数を削減しつつ、高調波抑圧と耐サージ性向上の効果が得られる。つまり、容量調整用の並列インダクタンス素子 16 をマイクロストリップ線路で得るため、マイクロストリップ線路は多層基板 12 の積層構造に内蔵することが可能であり、実施の第一形態で多層基板 12 の表面に実装していた並列インダクタンス素子 11 の効果を、代替することができると共に、並列インダクタンス素子 16 のマイクロストリップ線路に要するパターン面積を小さくすることができるため、小型化できる。

【0057】

このような実施の第二形態の DPX では、図 4 に示すように、多層基板 12 上に、コンデンサ 6 および第二容量 7 と、インダクタ 8 と、前記各 TxSAW1、RxSAW2 とが表面実装されている。各チップ部品は、多層基板 12 の部品実装面に予め形成した信号線路で互いに接続されている。各部品を多層基板 12 の表面に実装したのち、金属カバー 22 を実装部品が覆われるように多層基板 12 に対して実装して、本実施の第二形態の DPX が完成される。

【0058】

なお、本実施の形態では、各 TxSAW1、RxSAW2 をそれぞれ別々のパッケージに搭載したが、上記双方を 1 つのパッケージに搭載してもよい。また、上記の実施の各形態においては、BPF である各 TxSAW1、RxSAW2 は入力側と出力側に直列共振子が配置される T 型ラダー型の SAW フィルタとしたが、これらは、並列共振子から始まる π 型ラダー型のフィルタであってもよい。

【0059】

上記のような DPX を用いた携帯電話等の通信機では、TxSAW1 からの高調波を、各オープンスタブ 9、10 によって抑圧することができ、携帯電話などのセット商品のノイズ特性を向上させることができる。

【0060】

各オープンスタブ 9、10 を使用して高調波を抑圧できることを調べるために、第一容量 14 に通常の積層コンデンサを用いた従来例と、本実施の第一形態とを、それぞれ各周波数での挿入損失をそれぞれ測定した。それらの結果を図 5（図中、本実施の第一形態を実線にて、従来例を破線にて示した）および表 1 に示した。

【0061】

【表 1】

	2 倍 波 （ d B ）	3 倍 波 （ d B ）
オープンスタブなし	1 3 . 1 6	4 . 5 9
オープンスタブあり	3 8 . 7 1	3 7 . 1 2

【0062】

図 5 および表 1 から明らかなように、各オープンスタブ 9、10 の各共振点を、それぞれ、ほぼ 2 倍波、3 倍波の各高調波の波長に合わせることで、PA から発生したり、SAW フィルタから発生したりする高調波やスプリアスを抑圧できることが分かる。

【0063】

次に、本発明に係る実施の第一および第二形態の DPX と、従来例の DPX とを、耐サージ性について調べた。その結果を図 6 に示した。図 6 の、各印加電圧に対する静電破壊率を示す、各検量線は以下の通りであった。ここで、 m は直線の傾きを、 μ は 63% 確率での印加電圧を示す。 m 、 μ 共に大きい方が耐サージ性は高い。

【0064】

従来例：×-×、Fail/Data::30/30、 $\gamma = 0.0$

$m(1) = 4.56$ 、 $\mu(1) = 2.33e+002$

実施の第二形態：+-+、Fail/Data::30/30、 $\gamma = 0.0$

$m(1) = 3.36$ 、 $\mu(1) = 3.79e+003$

実施の第一形態：*-＊、Fail/Data::30/30、 $\gamma = 0.0$

$m(1) = 3.28$ 、 $\mu(1) = 3.95e+003$

図6から明らかなように、本発明は従来例と比べて、耐サージ性をより向上でき、携帯電話などのセット商品の電氣的耐久性を向上させることができることが分かる。すなわち、本発明においては、並列インダクタンス素子11、16をANT-Tx(Rx)間に接続しているため、ANTから静電気によるサージ電流が飛び込んでも、並列インダクタンス素子11、16を通してアース側に上記サージ電流を逃がすことができ、SAWフィルタにサージ電流が達することを阻止できるため、耐サージ性が向上する。

【0065】

また、本実施の第一および第二形態では、T型のラダー型SAWフィルタを使用している設計であるから、一つの共振子に印加される電圧を分散させることができるため、耐サージ性を向上できる。

【0066】

さらに、DPXサイズを大きくすること無く、上記2つの効果（高調波抑圧、耐サージ性向上）が得られるのは、各オープンスタブ9、10を多層基板12の積層構造に内蔵したマイクロストリップ線路で形成して、マイクロストリップ線路の形成に必要な面積を多層基板12内に内挿できるため、DPXの表面積を大きくする必要がないからである。

【0067】

また、部品点数の増加を回避できるのは（整合回路15のCとLを全てチップで構成した場合と比べて）、通過帯域内ではオープンスタブが並列キャパシタンス素子として機能するから、従来の積層コンデンサなどのチップ部品で設けられていた並列キャパシタンス素子を削除することができる。また、オープンスタブで発生する容量は並列インダクタンス素子を実装することで調整できるため、結果的に部品点数の増加を招かない。

【0068】

また、上記DPXにおいて、用いた並列インダクタンス素子のQ値を1～100の範囲内で種々変化させて、その挿入損失を測定した。それらの結果を図7および図8に示した。その結果から、用いた並列インダクタンス素子のQ値は20以上が好ましいことが分かる。さらに、一般にマイクロストリップ線路で形成す

るインダクタよりも巻線タイプのチップコイル部品のQは高いので、並列インダクタンス素子に巻線タイプのチップコイル部品を使用した方がDPXの挿入損失を劣化させることが少ない点で有利である。

【0069】

次に、図9および図10に示すように、らせん状パターン34でマイクロストリップ線路を形成すると、ミアンダ状パターン32のマイクロストリップ線路と比較してパターン長を短くできるため、パターン配置に必要な面積を小さくすることができる。

【0070】

そのメカニズムは以下の通りである。らせん状パターンにすると、隣接する配線に流れる信号の方向が同じになるため、電流によって発生する磁界が打ち消されにくくなる。これに対しミアンダ状パターンでは、隣接する配線に流れる信号の方向が逆になるため、電流によって発生する磁界が打ち消されやすくなる。したがって、磁界結合が、らせん状パターンの方が小さくなるため、磁界結合によるインダクタンス成分のロスも小さくなり、その結果、パターン長を短くすることができる。

【0071】

以下に、本願発明と、各先行技術との対比についてそれぞれ述べる。まず、特開平7-226607号公報には、誘電体多層基板の内層に配置したストリップ線路（整合回路）と基板主面に設けたSAWフィルタとをビアホールによって接続する、SAWフィルタを用いたデュプレクサが開示されている。上記公報の実施例中にオープンスタブを形成して減衰極を得るという記載がある。しかしながら、上記公報の構成では、整合回路の構成が本願発明と異なると共に、ESD対策の効果はない。

【0072】

次に、特開平13-352271号公報においては、移動体通信機のアンテナに接続する静電気保護回路が開示されている。上記公報の構造では、並列接続した伝送線路を設けることにより、ANT. から飛び込んだ静電気をアースに逃がし、静電気放電による破壊を防止できる。この構造では、高調波を抑制する機能

はないので、別途、高調波を抑制するトラップ回路を設ける必要がある。

【0073】

最後に、特開平13-127663号公報では、高周波スイッチモジュールで、ANT. - フィルタ間に並列インダクタンス素子と直列キャパシタンス素子から構成される回路を静電気保護用に付加した構成が開示されている。上記構成においては、付加回路面積が必要になることによる回路の大型化を抑制するために、多層基板の積層構造が使用されている。この構成では、高調波を抑制するトラップ回路とは別に静電気保護用の回路を設けるので、部品点数が増加する。

【0074】

【発明の効果】

本発明のDPXは、以上のように、アンテナ端子に並列に接続された送信側フィルタおよび受信側フィルタと、アンテナ端子、並びに送信側フィルタおよび受信側フィルタの少なくとも一方の間に位置する整合回路とを有し、前記整合回路の一部は、高調波抑圧用のトラップ回路を兼ねている構成である。

【0075】

それゆえ、上記構成は、整合回路の一部が高調波抑圧用のトラップ回路を兼ねているので、高調波抑圧を図ることができると共に、大型化を回避できるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明に係るDPXの実施の第一形態を示し、(a)は回路ブロック図であり、(b)は上記DPXの各オープンスタブの平面図である。

【図2】

(a)～(c)は上記DPXの各組み立て図である。

【図3】

本発明に係るDPXの実施の第二形態を示し、(a)は回路ブロック図であり、(b)は上記DPXの各オープンスタブおよび並列インダクタンス素子の平面図である。

【図4】

(a) ~ (c) は上記 D P X の各組み立て図である。

【図 5】

上記 D P X において、2 倍波および 3 倍波の高調波が従来例の D P X と比べて、低減されていることを示すグラフである。

【図 6】

上記実施の第一および第二形態の D P X と、従来例の D P X との各耐サージ性を示すグラフである。

【図 7】

上記実施の第一形態の D P X における、用いた並列インダクタンス素子の Q 値の違いによる挿入損失の変化を示すグラフである。

【図 8】

上記実施の第一形態の D P X における、用いた並列インダクタンス素子の Q 値の違いによる挿入損失の変化を示す、他のグラフである。

【図 9】

上記 D P X に用いたマイクロストリップ線路長とインダクタンスとの関係を、らせん状パターンとミアンダ状パターンとで示したグラフである。

【図 1 0】

上記マイクロストリップ線路の平面図であり、(a) はミアンダ状パターンを示し、(b) はらせん状パターンを示す。

【図 1 1】

従来の D P X の回路ブロック図である。

【図 1 2】

従来携帯電話の回路ブロック図である。

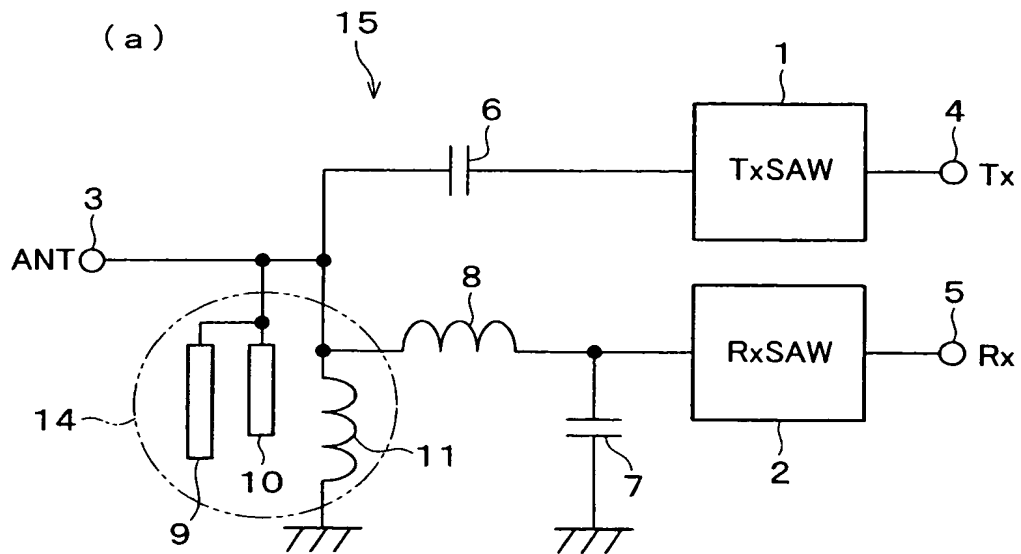
【符号の説明】

- 1 Tx SAW (送信側フィルタ)
- 2 Rx SAW (受信側フィルタ)
- 3 アンテナ端子
- 9 オープンスタブ (トラップ回路)
- 1 0 オープンスタブ (トラップ回路)

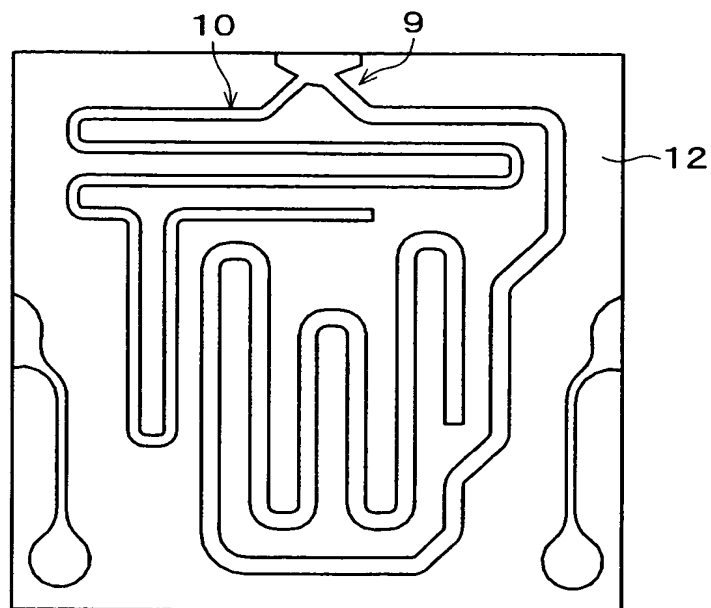
1 5 整合回路

【書類名】 図面

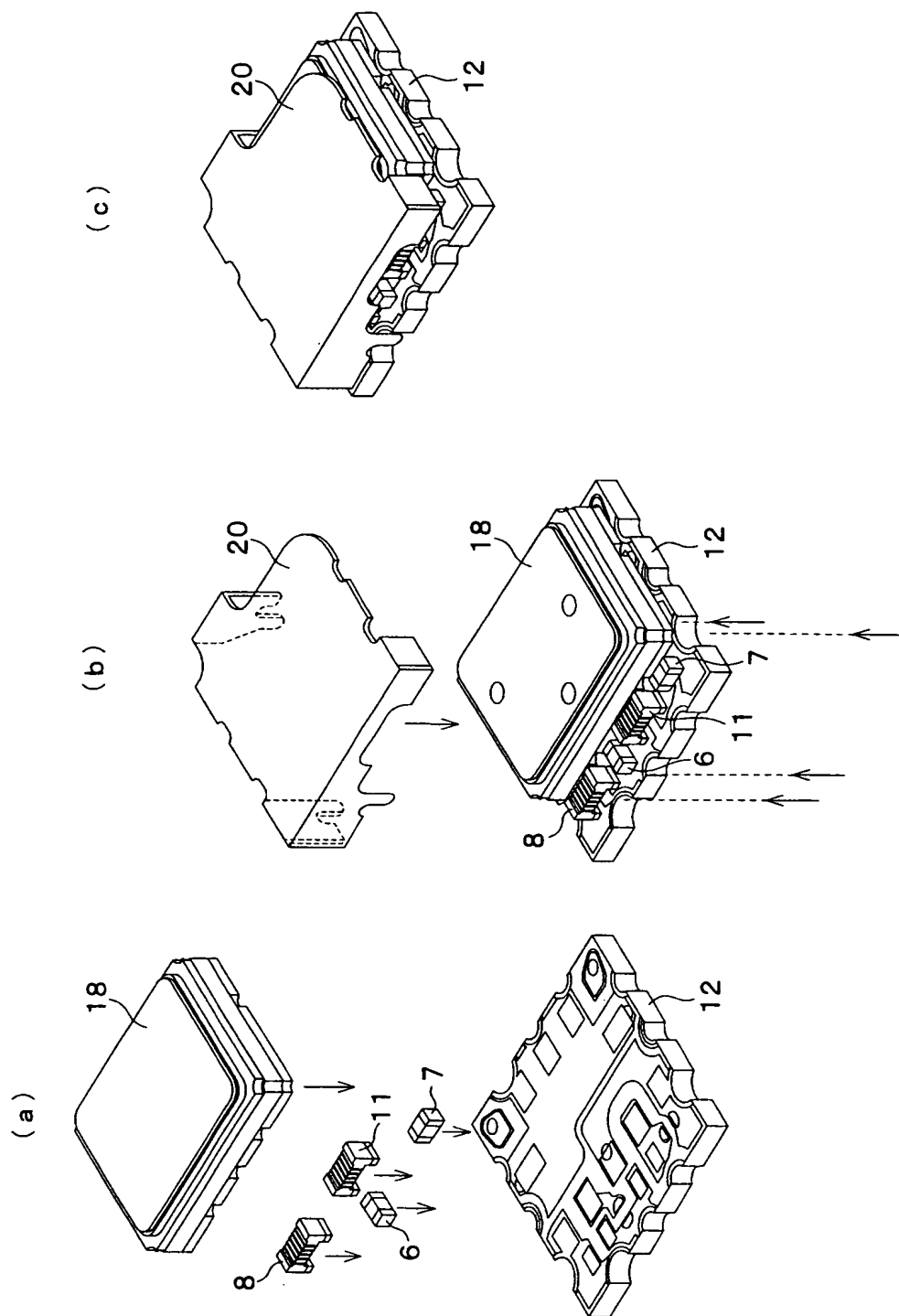
【図 1】



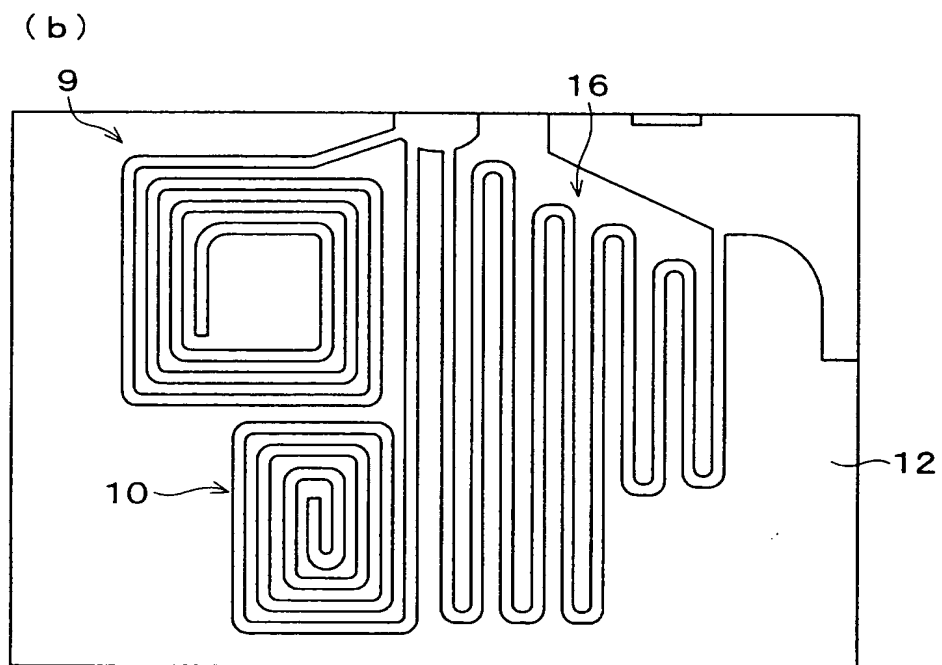
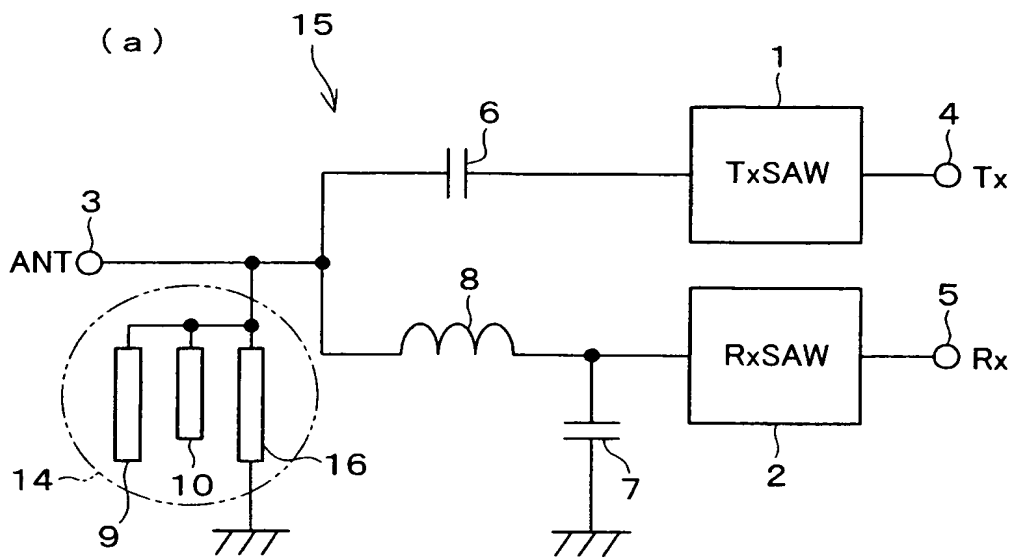
(b)



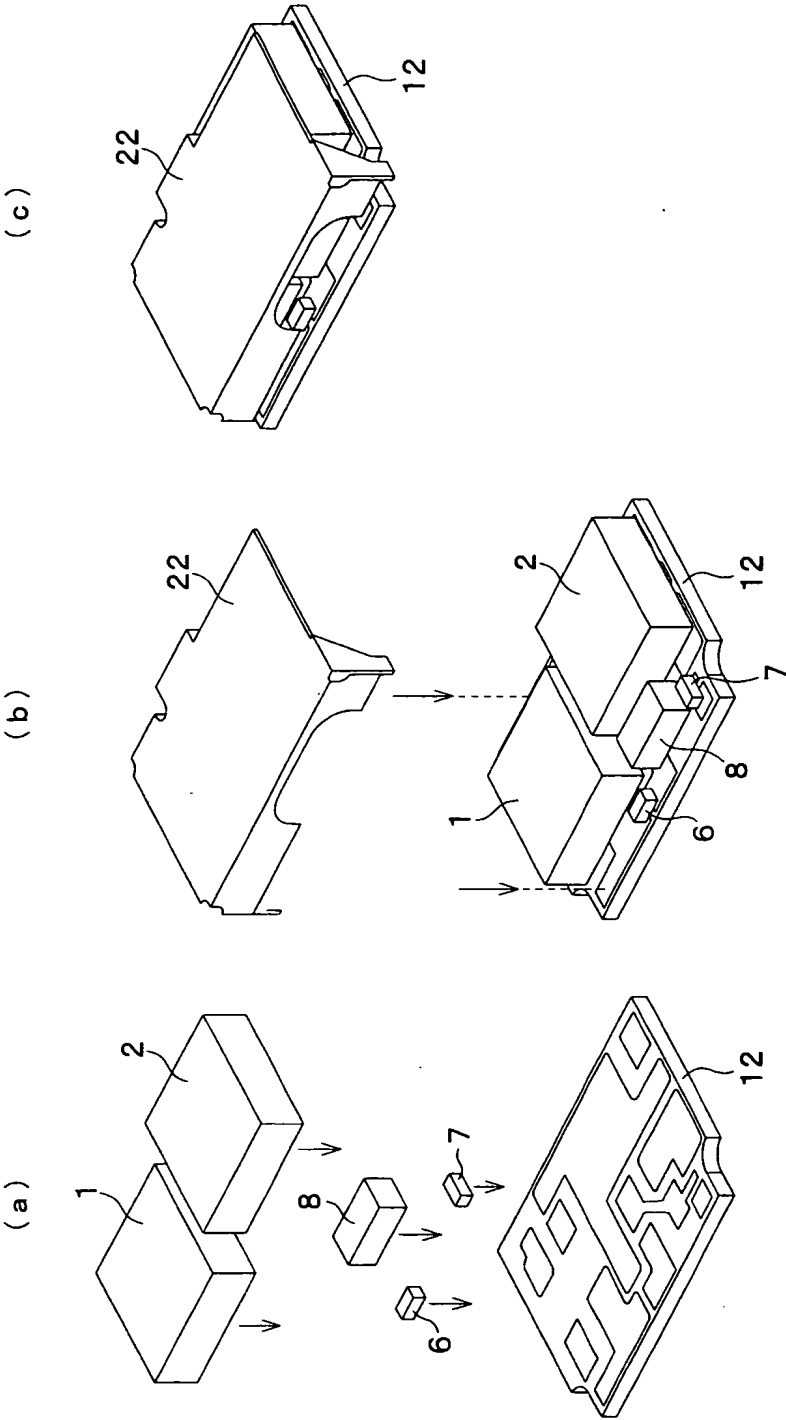
【図 2】



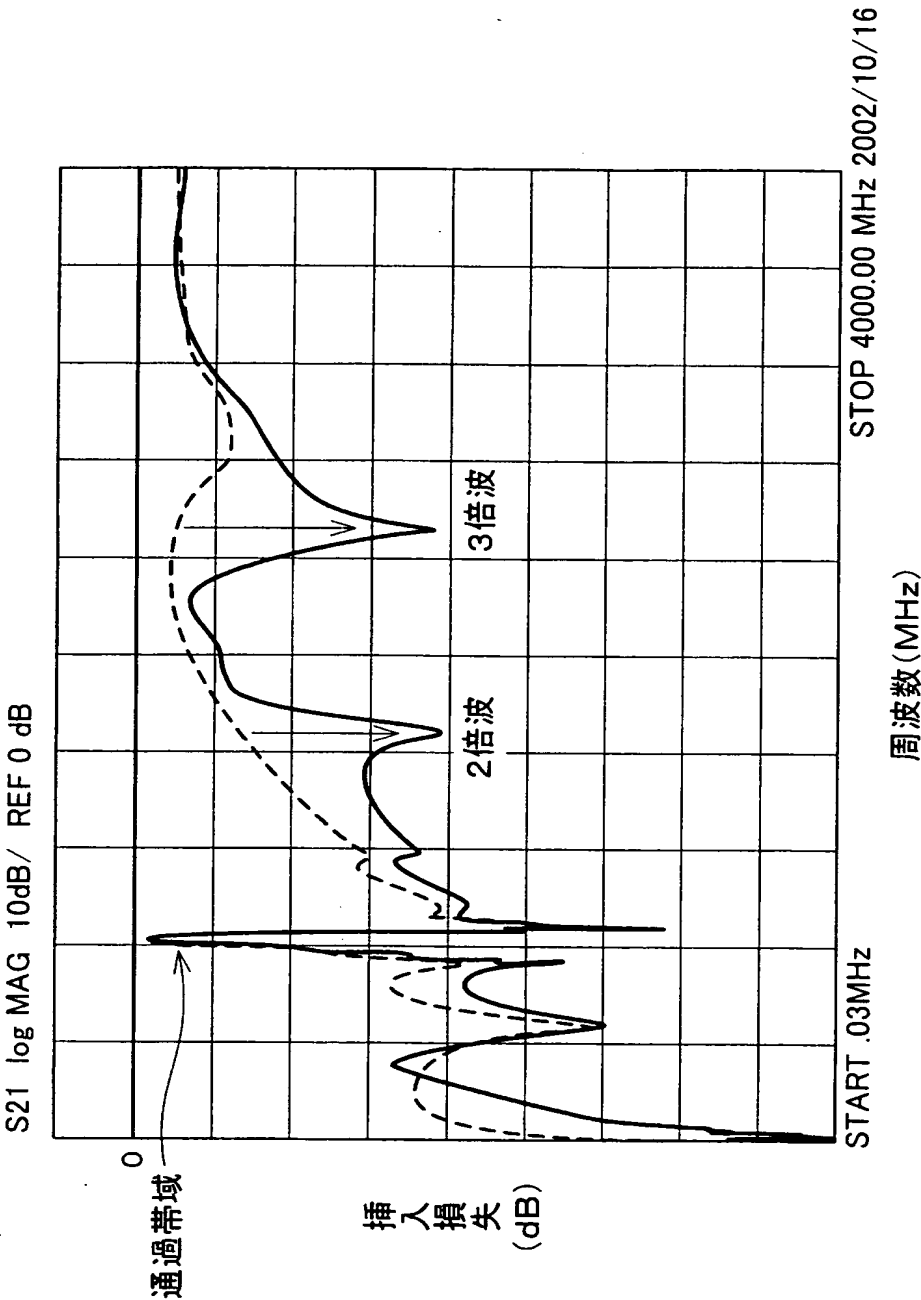
【図 3】



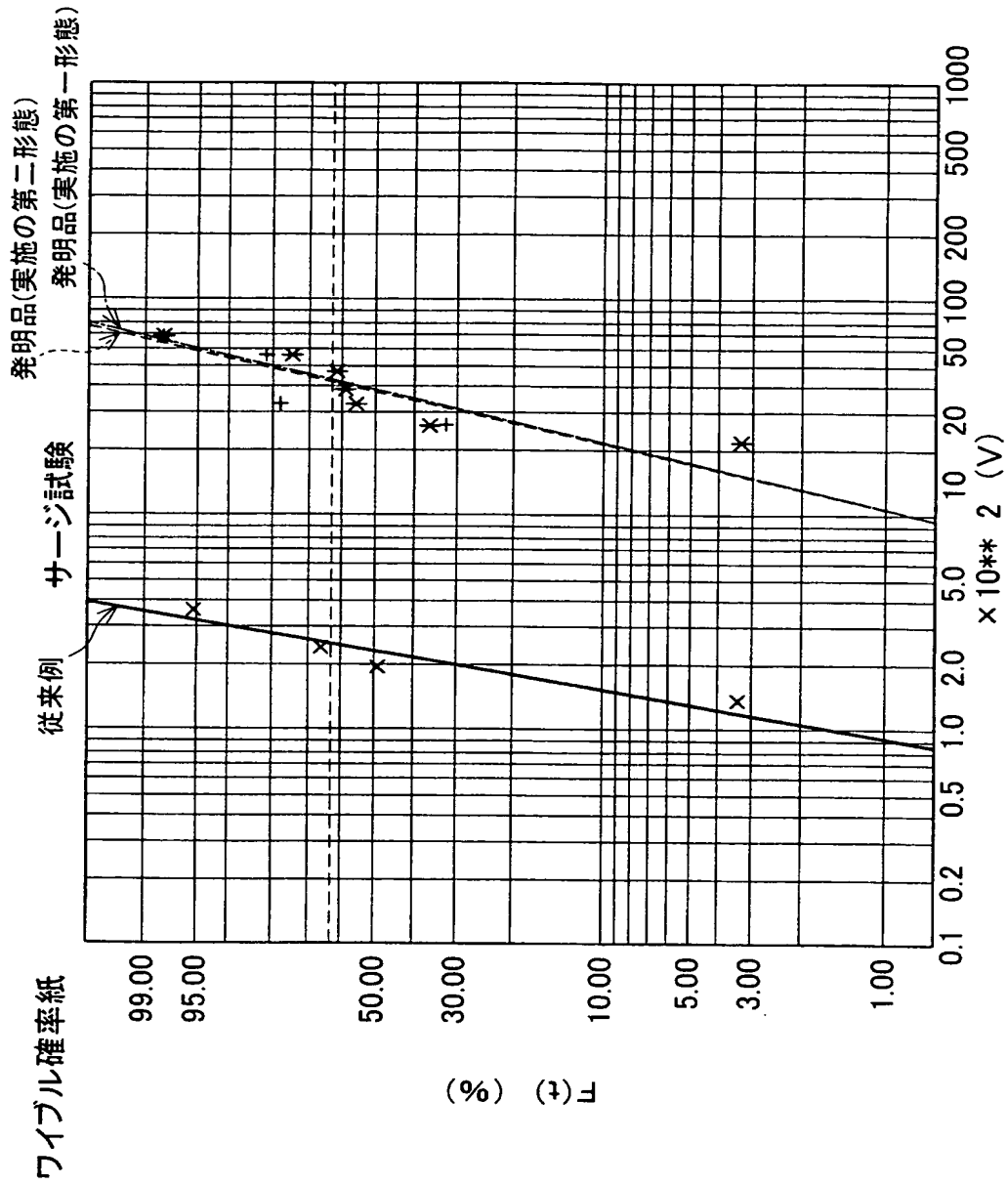
【図 4】



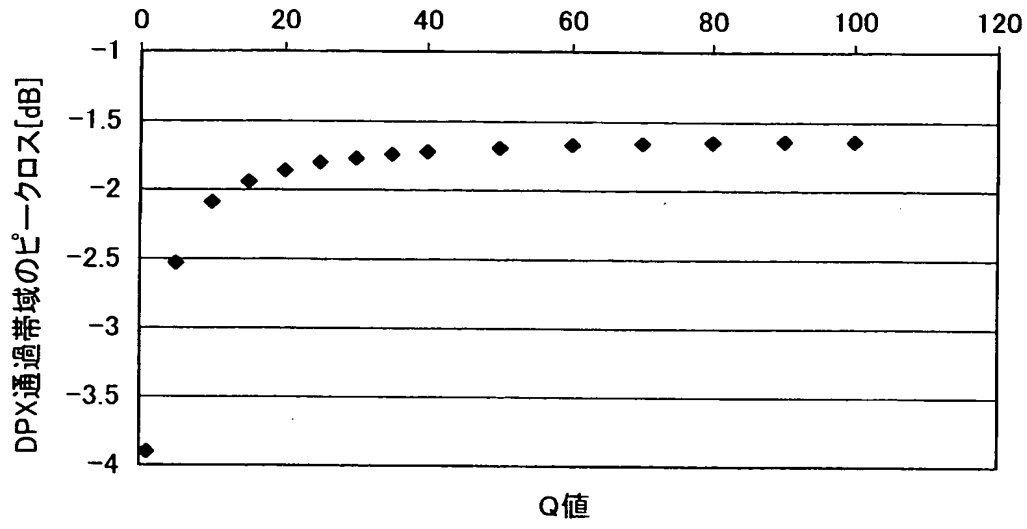
【図 5】



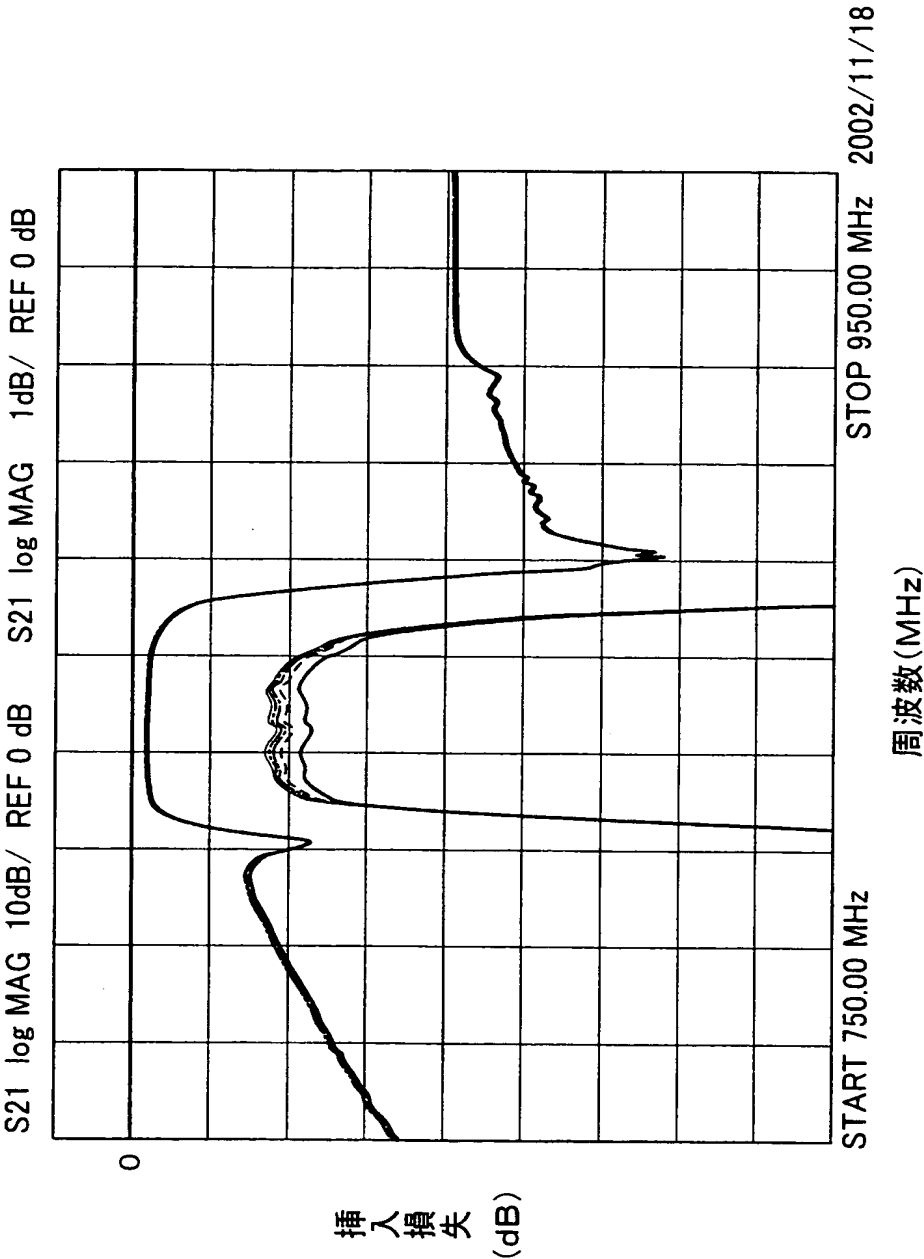
【図 6】



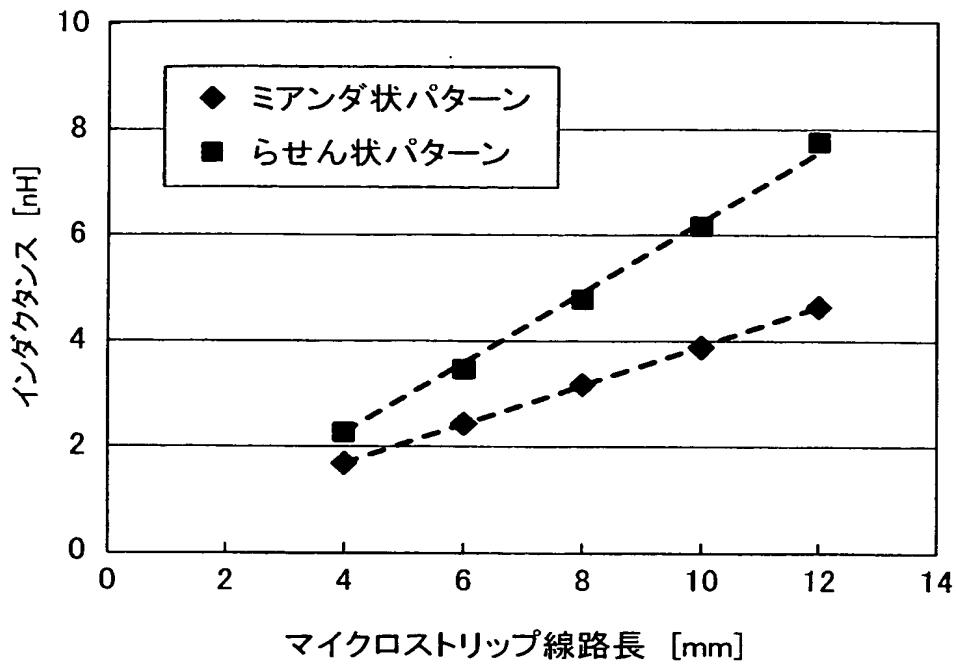
【図 7】



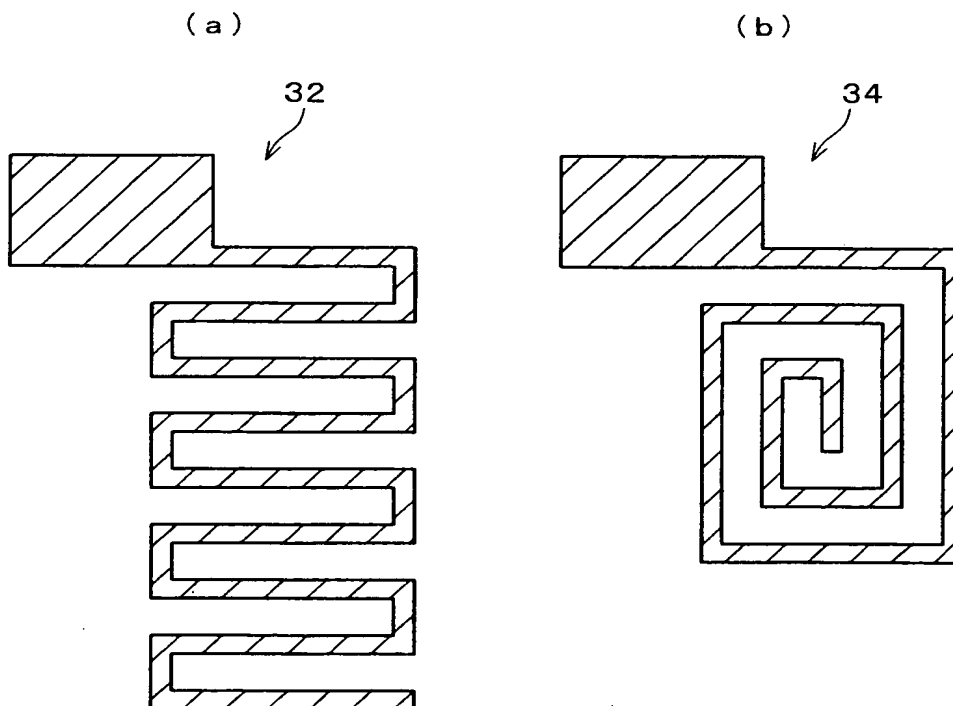
【図 8】



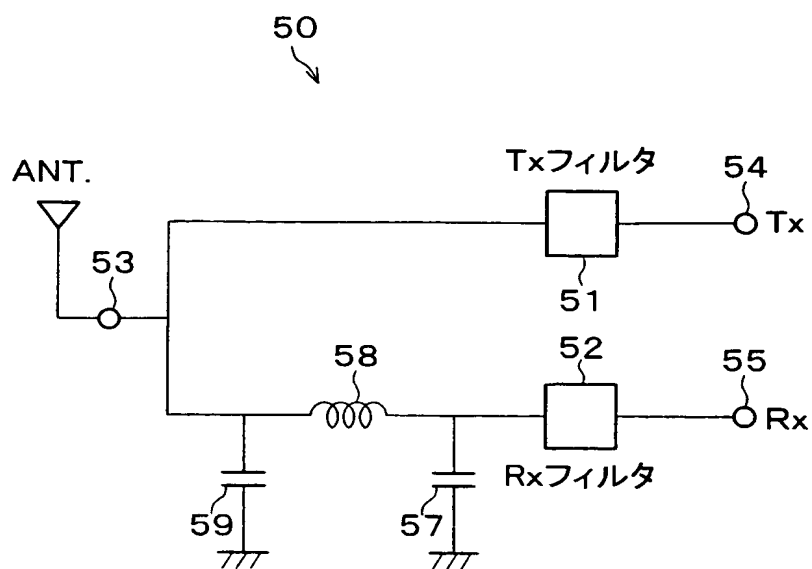
【図 9】



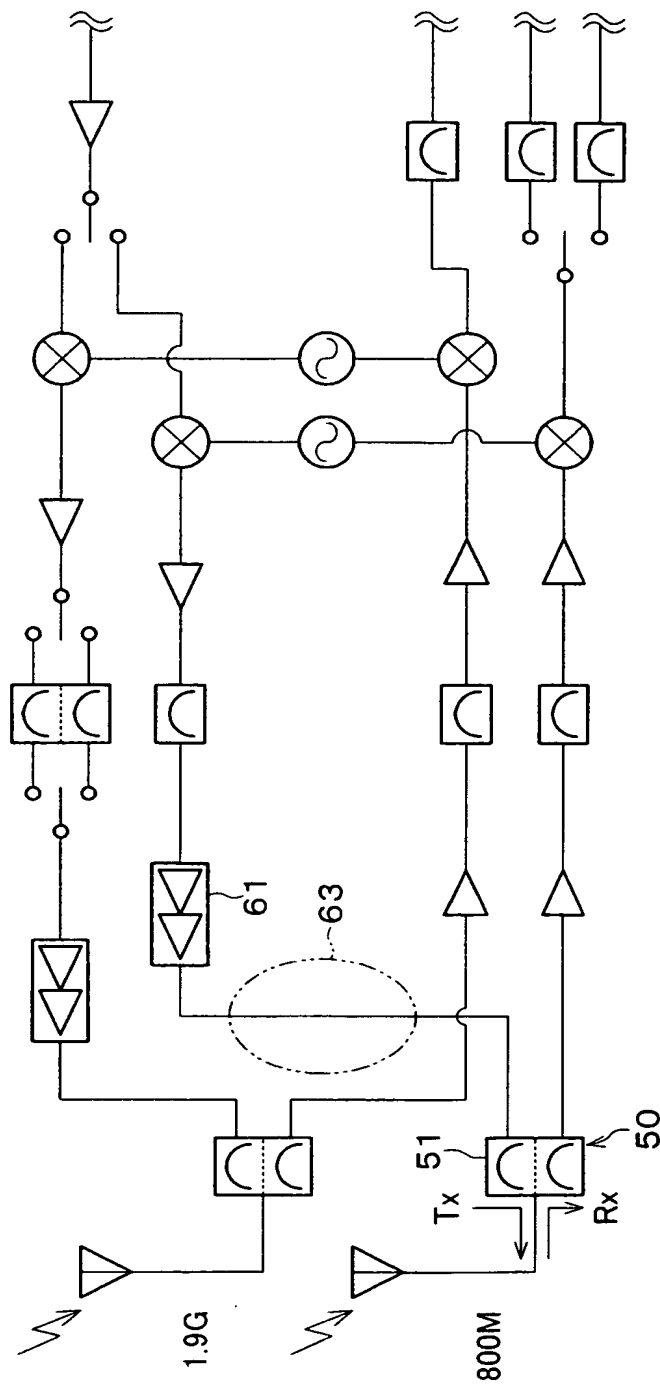
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 高調波を抑圧しながら、大型化を回避できる分波器、通信機を提供する。

【解決手段】 アンテナ端子 3 に並列に接続された送信側フィルタ 1 および受信側フィルタ 2 と、アンテナ端子 3 並びに送信側フィルタ 1 および受信側フィルタ 2 の少なくとも一方の間に位置する整合回路 15 とを有する。整合回路 15 の一部は、高調波抑圧用のトラップ回路 9、10 を兼ねている。

【選択図】 図 1

特願 2 0 0 2 - 3 6 5 9 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 6 2 3 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名

株式会社村田製作所